

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

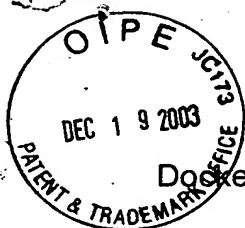
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



Docket No.: P2001,0373

I hereby certify that this correspondence is being deposited with the United States Postal Service as First Class Mail in an envelope addressed to the Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date indicated below.

By: Morgan Noll Date: December 15, 2003

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applic. No. : 10/712,664  
Applicant : Judith Maget  
Filed : November 13, 2003

Docket No. : P2001,0373  
Customer No. : 24131

CLAIM FOR PRIORITY

Commissioner for Patents,  
P.O. Box 1450, Alexandria, VA 22313-1450

Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 101 26 116.0, filed May 29, 2001.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,

Morgan Noll  
For Applicant

Date: December 15, 2003

Lerner and Greenberg, P.A.  
Post Office Box 2480  
Hollywood, FL 33022-2480  
Tel: (954) 925-1100  
Fax: (954) 925-1101

/av



## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

**Aktenzeichen:** 101 26 116.0

**Anmeldetag:** 29. Mai 2001

**Anmelder/Inhaber:** Infineon Technologies AG, München/DE

**Bezeichnung:** Integrierte, abstimmbare Kapazität

**IPC:** H 01 L 29/94

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 9. Oktober 2003  
**Deutsches Patent- und Markenamt**  
Der Präsident  
Im Auftrag

Scholz

## Beschreibung

## Integrierte, abstimmbare Kapazität

- 5 Die vorliegende Erfindung betrifft eine integrierte, abstimmbare Kapazität.

Integrierte, abstimmbare Kapazitäten werden in großen Stückzahlen zum Aufbau von Schwingkreisen eingesetzt. Derartige  
10 Schwingkreise sind beispielsweise als LC-Oszillator aufgebaut, bei denen üblicherweise die Kapazität als frequenzverstimmendes Element ausgebildet ist. Die zusammen mit der Kapazität die Schwingkreis-Frequenz bestimmenden Induktivitäten, welche üblicherweise in Form von Spulen realisiert werden,  
15 weisen dabei normalerweise einen konstanten Induktivitätswert auf.

Spannungsgesteuerte Oszillatoren (VCO, Voltage Controlled Oscillator) haben als Ausgangssignal ein frequenzverstellbares Hochfrequenzsignal, welches in Abhängigkeit von einer  
20 eingangsseitig anliegenden Spannung verstimmbar ist. Um einen großen Abstimmbereich, englisch tuning range, zu erzielen, ist aufgrund der bereits erwähnten, üblicherweise konstanten Induktivität anzustreben, ein großes Variationsverhältnis der  
25 Kapazität, das heißt einen großen Quotienten aus maximal und minimal einstellbarer Kapazität zu erhalten.

Weiterhin ist es, beispielsweise bei Anwendung der integrierten, abstimmbaren Kapazität in einem VCO wünschenswert, eine  
30 hohe Güte zu erhalten, da die Güte des LC-Schwingkreises quadratisch in das Phasenrauschen der Schaltung eingeht. Die Güte der abstimmbaren Kapazität ist dabei aus der Serienschaltung der variablen Kapazität C sowie eventuell vorhandenen Serienwiderständen R mit der Formel  $Q = 1/\omega RC$  bestimmbar;  
35 mit  $\omega$  gleich Betriebsfrequenz, R gleich Serienwiderstand und C gleich variable Kapazität. Es ist deshalb zur Erzielung ho-

her Güten anzustreben, den Serienwiderstand zur Kapazität möglichst klein zu machen.

Integrierte, abstimmbare Kapazitäten können in unterschiedli-  
5 chen Technologien und mit unterschiedlichem Aufbau herge-  
stellt sein. Bekannt sind beispielsweise:

Als abstimmbare Kapazitäten ausgebildete Kapazitätsdioden,  
welche entweder als single-ended- oder als differenziell aus-  
10 gebildete Bauteile integriert sein können, vergleiche bei-  
spielsweise A.-S. Porret, T. Melly, C. C. Enz, E. A. Vittoz  
"Design of High-Q varactors for Low-Power Wireless Applica-  
tions Using a Standard CMOS Process", IEEE Journal of Solid-  
State Circuits, Vol. 35, No. 3, March 2000, pp. 337-345.

15 Weiterhin können die abstimmbaren Kapazitäten auch als NMOS-  
oder PMOS-Feldeffekttransistoren mit kurzgeschlossenen Sour-  
ce-/Drain-Gebieten, beispielsweise in N-Wannen ausgebildet  
sein, siehe beispielsweise P. Andreani, S. Mattisson, "On the  
20 Use of MOS Varactors in RF VCO's", IEEE Journal of Solid-  
State Circuits, Vol. 35, No. 6, June 2000, pp. 905-910.

Aus der Druckschrift von M. Tiebout, "A Fully Integrated 1.3  
25 GHz VCO for GSM in 0.25  $\mu\text{m}$  Standard CMOS with a Phasenoise of  
-142 dBc/Hz at 3 MHz Offset", European Microwave Week 2000,  
ist weiterhin ein VCO mit NMOS-Varaktoren bekannt.

Ein differentiell arbeitender PMOS-FET, ein NMOS-FET in einer  
n-Wanne sowie ein NMOS-FET in einer n-Wanne ohne verbundene  
30 Diffusionsgebiete sind aus der oben genannten Literaturstelle  
Porret et al bekannt.

Ein NMOS-Feldeffekttransistor gebildet in einer n-Wanne mit  
p+-Extraktionsgebieten ist in der Druckschrift F. Svelto et  
35 al: "A Three Terminal Varactor for RFIC's in Standard CMOS  
Technology", IEEE Transactions on Electron Devices, Band 47,  
Nr. 4, April 2000, Seiten 893-895 angegeben.

In dem Aufsatz von J.N. Burghartz, M. Soyuer und K.A. Jenkins mit dem Titel "Integrated RF and Microwave Components in BiCMOS Technology", IEEE Transactions on Electron Devices, Vol. 43, No. 9, September 1996, sind PN-Dioden hergestellt in bipolarer Fertigungstechnik angegeben, die als Basis-Kollektor-Dioden arbeiten.

Schließlich ist in dem Aufsatz von Wallace Ming Yip Wong et al. "A Wide Tuning Range Gated Varactor", IEEE Journal of Solid-State Circuits, Vol. 35, No. 5, May 2000, pp. 773-779 ein sogenannter Gated Varactor angegeben.

Von den genannten bisherigen Lösungen zur Bereitstellung einer abstimmbaren Kapazität sind die als Gated Varaktor und als NMOS-Feldeffekttransistor in einer n-Wanne mit p+ Extraktionsgebieten gebildeten diejenigen mit dem bisher größtmöglichen Abstimmbereich. Dabei wird das Hochfrequenzsignal üblicherweise an den Gate-Anschluß angelegt und ein zweiter Anschluß zum Zuführen der Abstimmspannung benutzt, je nach Ausführung.

Die gesamte, effektive Kapazität eines derartigen Bauelements hängt von seinem jeweiligen Betriebszustand, wie Inversion, Verarmung oder Akkumulation beziehungsweise Anreicherung, ab, und ist durch die Spannungen an den genannten Knoten bestimmt. Die im allgemeinen konstanten, parasitären Kapazitäten eines derartigen Bauteils gehen dabei im allgemeinen stets additiv ein.

In Inversion, wie auch in Akkumulation, ergibt sich die maximal erzielbare Kapazität als Summe von Gate-Oxid-Kapazität, bestimmt durch Gate-Fläche und Dicke der Gate-Oxid-Schicht, und aus den konstanten, parasitären Kapazitäten zwischen Gate und den Source-/Drain-Gebieten. Die minimal erzielbare Kapazität hingegen ergibt sich in Verarmung als Serienschaltung der Gate-Oxid-Kapazität und der Verarmungs- oder Depletion-

Kapazität und parallel dazu den konstanten, parasitären Kapazitäten zwischen Gate und den Source-/Drain-Gebieten. Bei gegebener Gate-Fläche und gegebener Technologie, welche die Gate-Oxid-Schichtdicke bestimmt, kann eine Vergrößerung des Abstimmbereichs folglich nur durch Verringerung der minimalen Kapazität und/oder der konstanten Kapazitäten erfolgen.

Um bei einer beispielsweise Verwendung der abstimmbaren Kapazität in einem LC-VCO annehmbares Phasenrauschen des VCOs zu erhalten, ist es wünschenswert auch in dem LC-Kreis Serienwiderstände, wie oben erläutert, gering zu halten.

Hierfür werden, wie bei Hochfrequenztransistoren üblich, sogenannte Fingerstrukturen sowie Transistoren mit geringer Gate-Länge verwendet. Die parasitären Kapazitäten sind hingegen weitgehend unabhängig von der Gate-Länge. Lediglich der variable Teil der Kapazitäten sinkt mit der Gate-Länge. Je kleiner also die Gate-Länge, desto größer sind die parasitären Kapazitäten im Vergleich zu den variablen Kapazitäten. Zum Erzielen höherer Güten muß man daher bisher in Kauf nehmen, einen geringeren Abstimmbereich zu erhalten. Auch der Umkehrschluß gilt: Je größer die Gate-Länge ist, desto weniger fallen die parasitären Kapazitäten ins Gewicht und demnach ist ein größerer Abstimmbereich erzielbar. Eine größere Gate-Länge führt jedoch zu steigenden Serienwiderständen und damit zu einer schlechteren Güte.

Aufgabe der vorliegenden Erfindung ist es, eine integrierte, abstimmbare Kapazität anzugeben, welche einen großen Abstimmbereich aufweist und bei der die Güte verbessert ist.

Erfindungsgemäß wird die Aufgabe gelöst mit einer integrierten, abstimmbaren Kapazität, aufweisend

- einen Halbleiterkörper, mit einem wannenförmig ausgebildeten Halbleitergebiet von einem ersten Leitfähigkeits-Typ, wobei der Halbleiterkörper von einem zweiten Leitfähigkeits-Typ ist,

- ein erstes isolierendes Gebiet, das in den Halbleiterkörper eingebracht ist und eine erste Schichtdicke hat,
- ein zweites isolierendes Gebiet, das eine gemeinsame Grenzfläche mit dem Halbleitergebiet hat,
- 5 - eine Gate-Elektrode, die auf dem zweiten isolierenden Gebiet angeordnet ist und
- zumindest ein Wannenanschlußgebiet zum Anschluß des Halbleitergebiets, welches eine höhere Dotierstoffkonzentration als das Halbleitergebiet aufweist und welches eine zweite
- 10 Schichtdicke größer als die erste Schichtdicke hat.

Die hoch dotierten Wannenanschlußgebiete, welche in eine verhältnismäßig große Tiefe im Halbleitermaterial reichen, bewirken einen geringen Serienwiderstand der integrierten, abstimmbaren Kapazität bei zugleich hohem Variationsverhältnis, das heißt bei verhältnismäßig großen Quotienten aus maximal und minimal einstellbarer Kapazität der abstimmbaren Kapazität.

Die hoch dotierten Wannenanschlußgebiete dienen zum Verbinden des erfindungsgemäßen Varaktors mit einem Anschluß zur Zuführung einer Abstimmspannung zum Einstellen der Kapazität des Varaktors, während die Gate-Elektrode bevorzugt als Hochfrequenz-Anschluß ausgebildet ist.

Der Halbleiterkörper kann einen Substratanschluß aufweisen, der mit einem Bezugspotentialanschluß oder einem Mittel zur Zuführung einer Vorspannung verbindbar ist.

Aufgrund von lateraler Ausdehnung der Wannenanschlußgebiete in einer Richtung parallel zur aktiven Vorderseite des Halbleiterkörpers unter das erste isolierende Gebiet können die Serienwiderstände des Varaktors weiter verringert werden. Dabei ist jedoch darauf zu achten, daß die Ausdehnung des Wannenanschlußgebietes unter dem ersten isolierenden Gebiet entlang nicht unter das zweite isolierende Gebiet reicht, welches bevorzugt als Gate-Oxidgebiet ausgebildet ist.



Die beschriebenen Wannenanschlußgebiete mit hoher Dotierstoffkonzentration, welche in eine große Tiefe in den Halbleiterkörper hineinreichen, können beispielsweise in einer BiCMOS-Fertigungstechnik als sogenannte Kollektortiefimplantationen anstelle der üblicherweise bei CMOS-Varaktoren vorgesehenen Source-/Drain-Gebiete realisiert sein.

Bevorzugt ist die integrierte, abstimmbare Kapazität symmetrisch ausgebildet, das heißt mit je zwei ersten isolierenden Gebieten mit je zwei benachbarten Wannenanschlußgebieten, welche jeweils in eine größere Tiefe als die ersten isolierenden Gebiete reichen. Die ersten isolierenden Gebiete grenzen dabei an das zweite isolierende Gebiet und umgeben das wannenförmig ausgebildete Halbleitergebiet vom ersten Leitfähigkeitstyp.

Die Wannenanschlußgebiete gemäß vorliegendem Prinzip zeichnen sich dadurch aus, daß sie im Verhältnis zu Source-/Drain-Gebieten eine deutlich größere Tiefe der Dotiergebiete erreichen.

In einer bevorzugten Ausführungsform der vorliegenden Erfindung grenzt eine vergrabene Schicht vom ersten Leitfähigkeitstyp mit der höheren Dotierstoffkonzentration an das zumindest eine Wannenanschlußgebiet an.

Mit einer vergrabenen Schicht, einem sogenannten Buried Layer, unterhalb des wannenförmig ausgebildeten Halbleitergebiets und angrenzend an das zumindest eine Wannenanschlußgebiet ist die Güte der abstimmbaren Kapazität weiter verbessert, da die Serienwiderstände weiter verringert sind.

Eine noch weitere Verbesserung der Güte der Anordnung kann dadurch erreicht werden, daß die vergrabene Schicht unmittelbar unterhalb des zumindest einen ersten isolierenden Gebiets angeordnet ist. Sind jedoch die Dotierungsverhältnisse so,

daß ohne die vergrabene Schicht die maximale Raumladungszone tiefer ist als die erste isolierende Schicht, so würde durch eine vergrabene Schicht direkt unterhalb der ersten isolierenden Schicht der Abstimmbereich verringert. Soll der Abstimmbereich nicht durch die vergrabene Schicht verringert werden bei etwas weniger stark verbesserter Güte, so beginnt die vergrabene Schicht vorteilhafterweise direkt (in vertikaler Richtung) angrenzend an die maximal ausgedehnte Raumladungszone. Jedoch grenzen sie in jedem Fall bevorzugt an die Wannenanschlußgebiete, liegen also nicht tiefer.

Bei symmetrischer Ausführung der abstimmbaren Kapazität ist im Querschnitt das wannenförmig ausgebildete Halbleitergebiet unterhalb der Gate-Elektrode von Wannenanschlußgebieten und vergrabener Schicht eingeschlossen.

In einer weiteren, bevorzugten Ausführungsform der vorliegenden Erfindung ist das zumindest eine Wannenanschlußgebiet in bipolarer Fertigungstechnik gebildet.

Die Wannenanschlußgebiete können beispielsweise als Kollektortiefimplantationen, hergestellt in bipolaren Prozeßschrittschritten einer BiCMOS-Fertigung, ausgebildet sein.

In einer weiteren, bevorzugten Ausführungsform der vorliegenden Erfindung hat das zumindest eine Wannenanschlußgebiet je eine gemeinsame Grenzfläche mit dem zweiten isolierenden Gebiet und dem Halbleitergebiet unter der Gate-Elektrode.

Mit einer derartigen Direktanbindung der Wannenanschlußgebiete an das zweite isolierende Gebiet und das Halbleitergebiet direkt darunter ist eine weitere Verbesserung der Güte erreicht. Betrachtet man jedoch die gesamte von der abstimmbaren Kapazität eingenommene Chipfläche, so nimmt die beschriebene Direktanbindung lediglich eine verhältnismäßig geringe

Fläche ein, um eine unerwünschte Erhöhung der paraistären Kapazitäten zu vermeiden.

Die abstimmbare Kapazität ist, wie bei Feldeffekttransistoren für Hochfrequenzanwendungen üblich, bevorzugt in einer sogenannten Fingerstruktur mit mehreren, parallel verlaufenden Gate-Elektrodenbahnen ausgebildet.

In einer weiteren, bevorzugten Ausführungsform der vorliegenden Erfindung ist ein Gebiet zum Anschluß an Bezugspotential vorgesehen, welches von einem zweiten Leitfähigkeitstyp sowie hochdotiert ist und je eine gemeinsame Grenzfläche mit dem zweiten isolierenden Gebiet und dem Halbleitergebiet unter der Gate-Elektrode hat.

15

Wie bei der bereits beschriebenen Direktanbindung der Wannenanschlußgebiete an das wannenförmig ausgebildete Halbleitergebiet direkt entlang des Gate-Oxids beziehungsweise des zweiten isolierenden Gebiets durch Weglassen des ersten isolierenden Gebiets an wenigen Stellen der abstimmbaren Kapazität nimmt auch die beschriebene Direktanbindung an Bezugspotential bezüglich der gesamten, von der abstimmbaren Kapazität eingenommenen Chipfläche eine geringe Fläche ein beziehungsweise erfolgt nur an verhältnismäßig wenigen Stellen im Halbleiter.

25

Mit der beschriebenen Direktanbindung an Bezugspotential mittels eines hochdotierten Gebietes vom entgegengesetzten Leitfähigkeitstyp bezüglich des wannenförmig ausgebildeten Halbleitergebiets kann eine noch weitere Verbesserung der Güte erzielt werden.

30

In einer weiteren, bevorzugten Ausführungsform der vorliegenden Erfindung hat das zweite isolierende Gebiet eine dritte Schichtdicke, die deutlich kleiner als die erste Schichtdicke des ersten isolierenden Gebiets ist. Das zweite isolierende Gebiet ist bevorzugt als sogenannte Gate-Oxidschicht in einem

35

CMOS-Fertigungsschritt gebildet. Die ersten isolierenden Gebiete hingegen sind bevorzugt als sogenannte Dickoxidgebiete ausgebildet, beispielsweise als sogenanntes Shallow Trench Insulation, STI, zur Erzielung eines verbesserten Variations-  
5 verhältnisses.

Weitere Einzelheiten der Erfindung sind Gegenstand der Unteransprüche. Die Erfindung wird nachfolgend an mehreren Ausführungsbeispielen anhand der Zeichnungen näher erläutert.

10

Es zeigen:

15

Figur 1 einen Querschnitt durch ein Ausführungsbeispiel einer prinzipiellen Anordnung einer erfindungsgemäßen abstimmbaren Kapazität,

20

Figur 2 einen Querschnitt durch einen bezüglich Figur 1 weitergebildeten Gegenstand mit Direktanbindung des wannenförmig ausgebildeten Halbleitergebiets entlang des Gateoxids an ein Wannenanschlußgebiet,

Figur 3 eine schematische Draufsicht auf einen Gegenstand mit Querschnitten gemäß Figuren 1 und 2,

25

Figur 4 einen Querschnitt durch einen bezüglich Figur 1 weitergebildeten Gegenstand mit Direktanbindung an Bezugspotential und

30

Figur 5 eine schematische Draufsicht auf eine Kapazität mit einem Querschnitt gemäß Figur 4,

35

Figur 6 anhand eines Schaubilds den Verlauf Güte einer beispielhaften erfindungsgemäßen Kapazität in Abhängigkeit von der Gatespannung in Bezug auf einen CMOS-Referenzvaraktor.

Figur 1 zeigt eine integrierte abstimmbare Kapazität, welche in einer BiCMOS-Fertigungstechnik hergestellt ist. Dieser abstimmbare Varaktor weist einen Halbleiterkörper 1 auf, welcher als P-Substrat mit einer geringen Dotierstoffkonzentration ausgebildet ist. In diesem Halbleiterkörper 1 befindet sich ein wannenförmig ausgebildetes Halbleitergebiet 2, welches N-dotiert ist. In dem Halbleiterkörper 1 sind weiterhin zwei erste isolierende Gebiete 3 eingebracht, welche als Dickoxidgebiete, in Form sogenannter STI, Shallow Trench Insulation-Gebiete, gefertigt sind. Diese haben jeweils eine gemeinsame Grenzfläche mit dem wannenförmig ausgebildeten Halbleitergebiet 2. Ein zweites isolierendes Gebiet 4, welches als Gate-Oxidschicht in einem CMOS-Fertigungsschritt aufgebracht ist, hat jeweils eine gemeinsame Grenzfläche mit den beiden ersten isolierenden Gebieten 3 sowie mit dem wannenförmig ausgebildeten Halbleitergebiet 2. Über dieser Gate-Oxidschicht 4 ist eine Gate-Elektrode 5, ausgebildet als polykristalline Schicht, angeordnet.

Die Gate-Elektrode 5 ist bei vorliegendem Varaktor einer der beiden elektrisch zu kontaktierenden Anschlüsse, dem bevorzugt ein Hochfrequenz-Signal zuführbar ist. Der andere elektrisch zu kontaktierende Anschluß des vorliegenden Varaktors ist mit zwei elektrisch kurzzuschließenden N+-Wannenanschlußgebieten 6 hergestellt, welche in einem bipolaren Fertigungsschritt als sogenannte Kollektortiefimplantationen ausgebildet sind, und denen bevorzugt eine Abstimmspannung zum Steuern der Kapazität des Varaktors zuführbar ist. Die N+-Wannenanschlußgebiete 6 zeichnen sich dadurch aus, daß sie eine sehr große Dicke B beziehungsweise Tiefe im Halbleiterkörper aufweisen, welche die Dicke A der Dickoxidgebiete 3, denen sie benachbart sind, deutlich übersteigt. Die N+-Wannenanschlußgebiete 6 grenzen zum einen an je ein Dickoxidgebiet 3 und zum anderen an die N-Wanne 2. Für die Schichtdicken B, A von Wannenanschlußgebieten 6 und ersten isolierenden Gebieten 3 gilt demnach  $B > A$ .

Die Dotierstoffkonzentration der Wannenanschlußgebiete 6 ist deutlich höher als die der Wanne 2, jedoch vom gleichen Leitfähigkeitstyp. Zusätzlich zur großen Ausdehnung der Wannenanschlußgebiete 6 in die Tiefe des Halbleiterkörpers 1 weisen diese zusätzlich eine laterale Ausdehnung unterhalb der Dickoxidgebiete 3 in Richtung der N-Wanne 2 auf, welche durch eine gewünschte laterale Diffusion bedingt sein kann. Die Breite der Dickoxidgebiete 3 ist dabei so einzustellen, daß die laterale Ausdehnung möglichst weit unterhalb der Dickoxidgebiete in Richtung N-Wanne 2 reicht, nicht jedoch über die Dickoxidgebiete 3 hinaus in das N-Wannengebiet 2 unterhalb des Gates 5.

Schließlich weist der gezeigte integrierte abstimmbare Varaktor eine vergrabene Schicht 7 auf, welche an die beiden symmetrisch angeordneten N+-Wannenanschlußgebiete 6 angrenzt und ebenfalls vom gleichen Leitfähigkeitstyp wie die Wannenanschlußgebiete 6 und ebenfalls hoch dotiert ist. Hierdurch ist im gezeigten Querschnitt die N-Wanne 2 vollständig umschlossen von Gateoxid 4, den Dickoxidgebieten 3, den Wannenanschlußgebieten 6 und der vergrabenen Schicht 7. Die vergrabene Schicht 7, ein sogenanntes Buried Layer, ist dabei zum Erzielen einer möglichst hohen Güte der abstimmbaren Kapazität so nah als möglich an den Dickoxidgebieten 3 angeordnet. Sind jedoch die Dotierungsverhältnisse so, daß ohne die vergrabene Schicht 7 die maximale Raumladungszone tiefer ist als die erste isolierende Schicht 3, so würde durch eine vergrabene Schicht 7 direkt unterhalb der ersten isolierenden Schicht 3 die Tuning Range verringert. Soll die Tuning Range nicht durch die vergrabene Schicht 7 verringert werden bei etwas weniger stark verbesserter Güte, so beginnt die vergrabene Schicht vorteilhafterweise direkt (in vertikaler Richtung) angrenzend an die maximal ausgedehnte Raumladungszone. Jedoch sollten sie in jedem Fall an die Wannenanschlußgebiete 6 grenzen, also nicht tiefer liegen.

Die vergrabene Schicht 7 verläuft parallel zur Gateoxidschicht 4 entlang der aktiven Vorderseite des Halbleiterkörpers 1.

5 Zum besseren Verständnis der elektrischen Verhältnisse in der integrierten abstimmbaren Kapazität sind sowohl die gewünschten als auch die parasitären elektrischen Ersatzelemente in Figur 1 eingezeichnet, welche zum einen den Serienwiderstand des Varaktors und zum anderen das Verhältnis der veränderbaren  
10 Kapazität zu den parasitären Kapazitäten und damit das Variationsverhältnis der Kapazität bestimmen. Das Variationsverhältnis ist dabei definiert als Quotient aus maximal und minimal einstellbarem Kapazitätswert.

15 Im einzelnen bezeichnen  $C_{jd}$  die einstellbare Raumladungskapazität,  $C_{ox}$  die Gateoxidkapazität,  $C_r$  Randkapazitäten und  $C_{\bar{u}}$  die Überlappungskapazität. Die Widerstände  $R_g$  und  $R_1$  bis  $R_4$  bestimmen den auftretenden Serienwiderstand des Varaktors, der zusammen mit den Kapazitäten die Güte desselben festlegt.

20 Um ein großes Variationsverhältnis zu Erhalten, ist es wünschenswert, einen großen Variationsbereich der Raumladungskapazität  $C_{jd}$  zu erhalten bei zugleich geringen, im allgemeinen festen Kapazitäten  $C_r$  und  $C_{\bar{u}}$ . Zur Erhöhung der Güte ist ein  
25 möglichst geringer Serienwiderstand wünschenswert.

Bei vorliegender Anordnung ist die Güte dadurch verbessert, daß die Widerstände  $R_3$  und  $R_4$  aufgrund der hoch dotierten Kollektortiefimplantationsgebiete 6 im Vergleich zu einem  
30 CMOS-Varaktor deutlich verringert sind. Mit der vergrabenen Schicht 7, welche ebenfalls hoch dotiert ist, können zusätzlich vor allem die Widerstände  $R_2$  verringert werden.

Bei vorliegender Anordnung ersetzen die Kollektortiefimplantationsgebiete 6 die üblicherweise bei CMOS-Varaktoren vorgesehenen, in CMOS-Fertigungstechnik hergestellten Source-/Drain-Gebiete. Gegenüber herkömmlichen CMOS-Source-/Drain-

Gebieten weisen die beschriebenen Kollektortiefimplantationsgebiete eine deutlich größere Tiefe, das heißt Schichtdicke B und zudem die bereits beschriebene laterale Ausdehnung auf.

- 5 Die als STI ausgebildeten Dickoxidgebiete 3 sind so dimensioniert, daß eine fast vollständige Unterdiffusion durch die Wannenanschlußgebiete 6 möglich ist.

Figur 2 zeigt eine Weiterbildung einer abstimmbaren Kapazität gemäß Figur 1, bei der die Güte zusätzlich dadurch verbessert werden kann, daß an wenigen Stellen der abstimmbaren Kapazität eine Direktanbindung der N<sup>+</sup>-Kollektortiefimplantationsgebiete 6 an Gateoxid 4 und N-Wanne 2 direkt unterhalb des Gateoxids 4 durch Weglassen der Dickoxidgebiete 3 an wenigen Stellen im Halbleiterkörper 1 erreicht ist. Damit ist das Gebiet unterhalb der Gate-Elektrode 5, das heißt zwischen den Gateoxidgebieten 3 gemäß Figur 1 unmittelbar angebunden an das Wannenanschlußgebiet 6. Dies verringert den Serienwiderstand des Varaktors weiter.

20

Figur 3 zeigt in einer Draufsicht auf eine integrierte abstimmbare Kapazität mit Querschnitten gemäß Figuren 1 und 2 die in einer Fingerstruktur ausgebildete BiCMOS-Varaktorstruktur gemäß der Erfindung. Dabei wird in einer nicht maßstabsgetreuen Darstellung ersichtlich, wie beispielhaft erreicht werden kann, daß die beschriebenen Direktanbindungen des Gebiets 2 unterhalb der Gate-Elektrode 5 an die Kollektortiefimplantationsgebiete 6 im Verhältnis zur gesamten Varaktorfläche lediglich eine geringe Fläche einnehmen, um zu verhindern, daß die parasitären Überlappungs- und Randkapazitäten erkennbar zunehmen.

30

Die beschriebenen Direktanbindungsgebiete sind dabei entlang der Querschnittslinie II eingezeichnet.

35

Figur 4 zeigt einen Querschnitt durch eine weitergebildete abstimmbare Kapazität bezüglich Figuren 1 bis 3, mit der Mög-



lichkeit, die Güte noch weiter zu verbessern. Dabei ist an wenigen Stellen bezogen auf die Chipfläche der abstimmbaren Kapazität ein P+-dotiertes Anschlußgebiet 8 zum Anschluß an Bezugspotential vorgesehen. Bezüglich der üblicherweise an dieser Stelle vorgesehenen Wannenanschlußgebiete 6 weist das Bezugspotential-Anschlußgebiet 8 eine entgegengesetzte Dotierung auf. Das Bezugspotential-Anschlußgebiet ist in die N-Wanne 2 eingebracht, wobei es an die Gate-Oxidschicht 4 angrenzt. Dort, wo das Bezugspotentialanschlußgebiet 8 vorgesehen ist, entfällt neben dem Wannenanschlußgebiet 6 auch das isolierende Dickoxidgebiet 3.

Figur 5 zeigt eine Draufsicht auf eine integrierte abstimmbare Kapazität mit einem Querschnitt gemäß Figur 4. Es ist in nicht maßstäblicher Darstellung gezeigt, wie erreicht werden kann, daß die P+-Bezugspotentialanschlußgebiete 8 die Kollektortiefimplantationsgebiete 6 nur an wenigen Stellen bezogen auf die gesamte Chipfläche der in einer Fingerstruktur ausgebildeten Kapazität ersetzen.

Figur 6 verdeutlicht die mit dem erfindungsgemäßen BiCMOS-Varaktor erzielbare Erhöhung der Güte im Vergleich zu einem in CMOS-Fertigungstechnik hergestellten Referenzvaraktor. In Abhängigkeit von der Gatespannung ist dabei die Güte aufgetragen. Als Schar-Parameter ist zusätzlich die Abstimmspannung des Varaktors zum einen mit 0 V und zum anderen mit 2,5 V eingetragen. Die zum erfindungsgemäßen BiCMOS-Varaktor gehörigen Kurven sind mit Bezugszeichen 9, diejenigen, welche dem CMOS-Varaktor zuzuordnen sind, mit Bezugszeichen 10 versehen. Der erfindungsgemäße BiCMOS-Varaktor gemäß Kurven 9 ist dabei mit P+-Anschlußgebieten zur Direktanbindung an Bezugspotential gemäß Figuren 4 und 5 ausgebildet. Man erkennt, daß mit vorliegendem Gegenstand die minimale Güte bei geringer Wannenspannung von 16 auf 34 und bei hoher Wannenspannung von 67 auf 145 verbessert werden konnte.

Die Güte der abstimmbaren Kapazität berechnet sich dabei aus der Serienschaltung der variablen Kapazität C sowie eventuell vorhandener Serienwiderstände R mit der Formel  $Q = 1 / \omega RC$  mit  $\omega$  = Betriebs-Kreisfrequenz und Q = Güte.

5

Anstelle der gezeigten Ausführungsbeispiele mit P-Substrat und N-Wanne sowie N+ Kollektortiefimplantationsgebiete kann vorliegendes Prinzip selbstverständlich auch auf Fertigungsprozesse mit N-Substrat übertragen werden. Dabei ist P-

10

dotiertes Gebiet als wannenförmiges Gebiet 2 zu verwenden, während die Kollektortiefimplantationsgebiete sowie die vergrabene Schicht P+ dotiert auszuführen sind. Die beschriebenen Direktanbindungen sind dann ebenfalls mit umgekehrtem Leitfähigkeitstyp bezüglich der gezeigten Ausführungsbeispiele vorzusehen.

15

## Patentansprüche

1. Integrierte, abstimmbare Kapazität, aufweisend

- einen Halbleiterkörper (1), mit einem wannenförmig ausgebildeten Halbleitergebiet (2) von einem ersten Leitfähigkeitstyp (N), wobei der Halbleiterkörper (1) von einem zweiten Leitfähigkeitstyp (P) ist,
- zumindest ein erstes isolierendes Gebiet (3), das in den Halbleiterkörper (1) eingebracht ist, an das wannenförmig ausgebildete Halbleitergebiet (2) anschließt und eine erste Schichtdicke (A) hat,
- ein zweites isolierendes Gebiet (4), das eine gemeinsame Grenzfläche mit dem Halbleitergebiet (2) hat,
- eine Steuer-Elektrode (5), die auf dem zweiten isolierenden Gebiet (4) angeordnet ist, und
- zumindest ein Wannenanschlußgebiet (6) zum Anschluß des Halbleitergebiets (2) an eine Steuerspannung zum Abstimmen der Kapazität, welches eine höhere Dotierstoffkonzentration (N+) als das Halbleitergebiet (2) aufweist und welches eine zweite Schichtdicke (B) größer als die erste Schichtdicke (A) hat.

2. Kapazität nach Anspruch 1,

d a d u r c h g e k e n n z e i c h n e t, daß eine vergrabene Schicht (7) vom ersten Leitfähigkeitstyp (N) mit der höheren Dotierstoffkonzentration (N+) vorgesehen ist, welche an das zumindest eine Wannenanschlußgebiet (6) angrenzt.

3. Kapazität nach Anspruch 1 oder 2,

d a d u r c h g e k e n n z e i c h n e t, daß das zumindest eine Wannenanschlußgebiet (6) in bipolarer Fertigungstechnik gebildet ist.

4. Kapazität nach einem der Ansprüche 1 bis 3,

d a d u r c h g e k e n n z e i c h n e t, daß

das zumindest eine Wannenanschlußgebiet (6) je eine gemeinsame Grenzfläche mit dem zweiten isolierenden Gebiet (4) und dem Halbleitergebiet (2) unter der Steuer-Elektrode (5) hat.

5 5. Kapazität nach einem der Ansprüche 1 bis 4,  
d a d u r c h g e k e n n z e i c h n e t, daß  
ein Gebiet zum Anschluß an Bezugspotential (8) vorgesehen  
ist, welches von dem zweiten Leitfähigkeitstyp (P) sowie  
hochdotiert (P+) ist und je eine gemeinsame Grenzfläche mit  
10 dem zweiten isolierenden Gebiet (4) und dem Halbleiterge-  
biet (2) unter der Steuer-Elektrode (5) hat.

6. Kapazität nach einem der Ansprüche 1 bis 5,  
d a d u r c h g e k e n n z e i c h n e t, daß  
15 das zweite isolierende Gebiet (4) eine dritte Schichtdicke (D) hat, die kleiner als die erste Schichtdicke (A) des  
ersten isolierenden Gebiets (3) ist.

7. Kapazität nach einem der Ansprüche 1 bis 6,  
20 d a d u r c h g e k e n n z e i c h n e t, daß  
das erste isolierende Gebiet (3) ein Shallow-Trench-  
Insulation-Gebiet ist.

8. Kapazität nach einem der Ansprüche 1 bis 7,  
25 d a d u r c h g e k e n n z e i c h n e t, daß  
das zweite isolierende Gebiet (4) eine Oxidschicht ist.

9. Kapazität nach einem der Ansprüche 1 bis 8,  
d a d u r c h g e k e n n z e i c h n e t, daß  
30 die Steuer-Elektrode (5) mittels einer polykristallinen  
Schicht als Gate-Elektrode gebildet ist.

## Zusammenfassung

### Integrierte, abstimmbare Kapazität

5 Es ist eine integrierte, abstimmbare Kapazität angegeben, bei  
der die Güte dadurch verbessert ist, daß anstelle von Source-  
/Drain-Gebieten hochdotierte Wannenanschlußgebiete (6) von  
großer Tiefe, beispielsweise als Kollektortiefimplantations-  
gebiete ausgebildet, vorgesehen sind. Hierdurch ist der Seri-  
10 enwiderstand der abstimmbaren Kapazität verringert. Die inte-  
grierte, abstimmbare Kapazität ist beispielsweise in inte-  
grierten, spannungsgesteuerten Oszillatorschaltungen anwend-  
bar, bei denen eine hohe Güte gefordert ist.

15 Figur 1

## Bezugszeichenliste

	1	P-Substrat
	2	N-Wanne
5	3	Dickoxid, STI
	4	Gateoxid
	5	Gate-Elektrode
	6	N+ Wannenanschlußgebiet
	7	N+ Buried Layer
10	8	Bezugspotential-Anschlußgebiet
	9	Güte
	10	Güte
	A	Dicke
	B	Dicke
15	D	Dicke
	$C_{ox}$	Gateoxid-Kapazität
	$C_{jd}$	Raumladungskapazität
	$C_r$	Randkapazität
	$C_{\bar{u}}$	Überlappungskapazität
20	$R_1$	Widerstand
	$R_2$	Widerstand
	$R_3$	Widerstand
	$R_4$	Widerstand
	$R_G$	Widerstand

Fig. 1

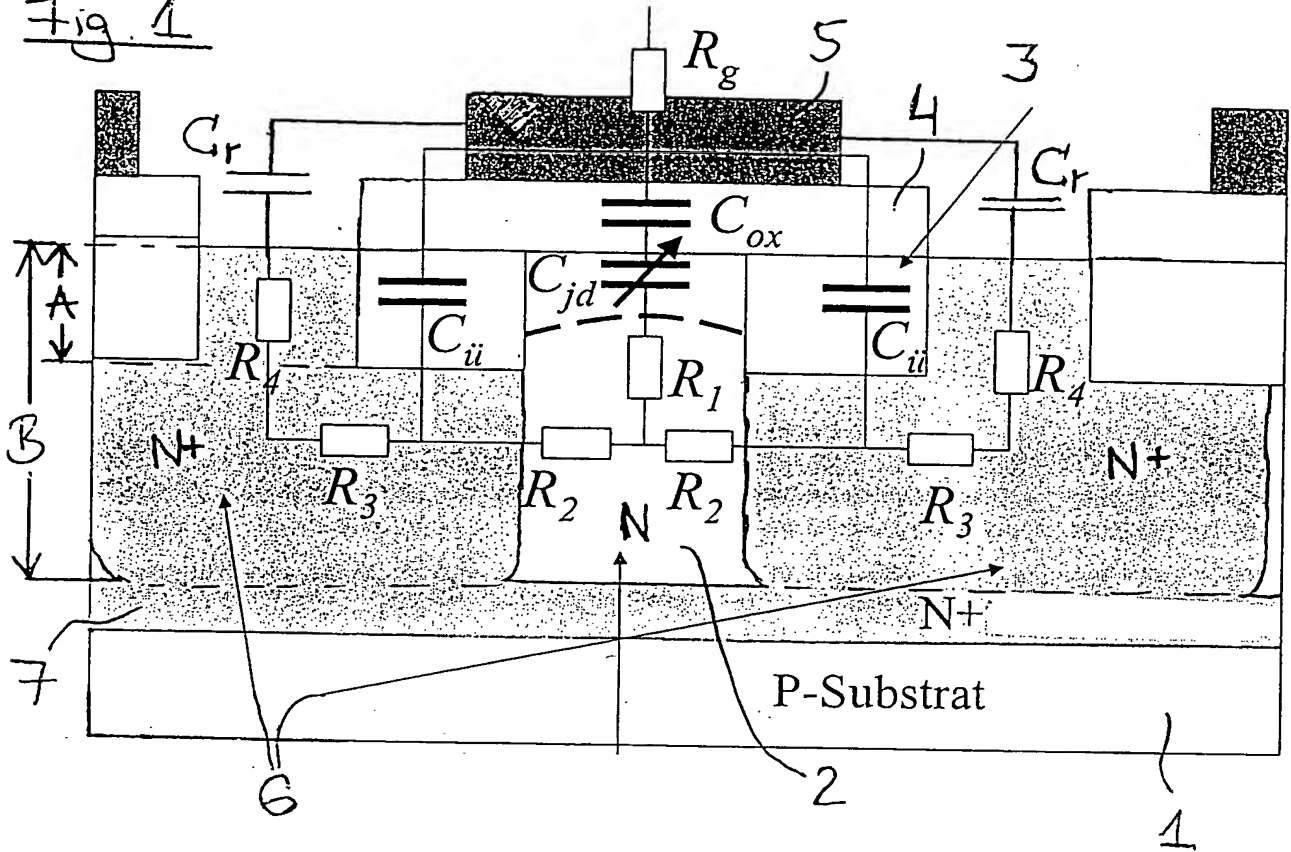


Fig. 2

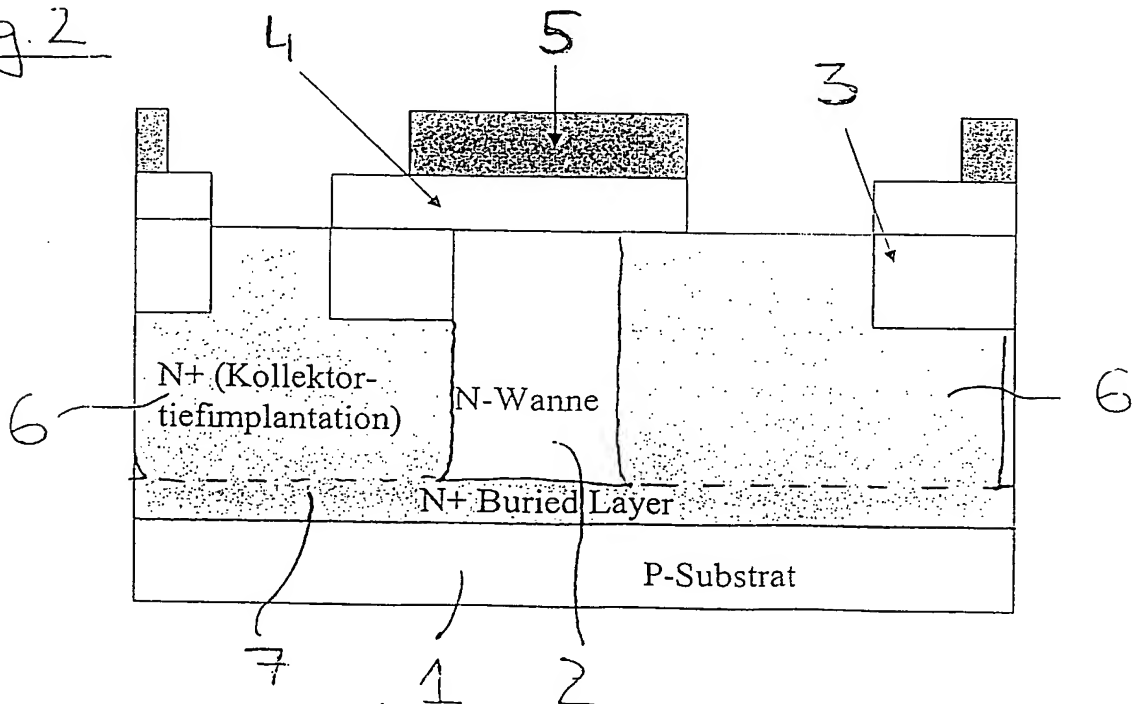


Fig. 5

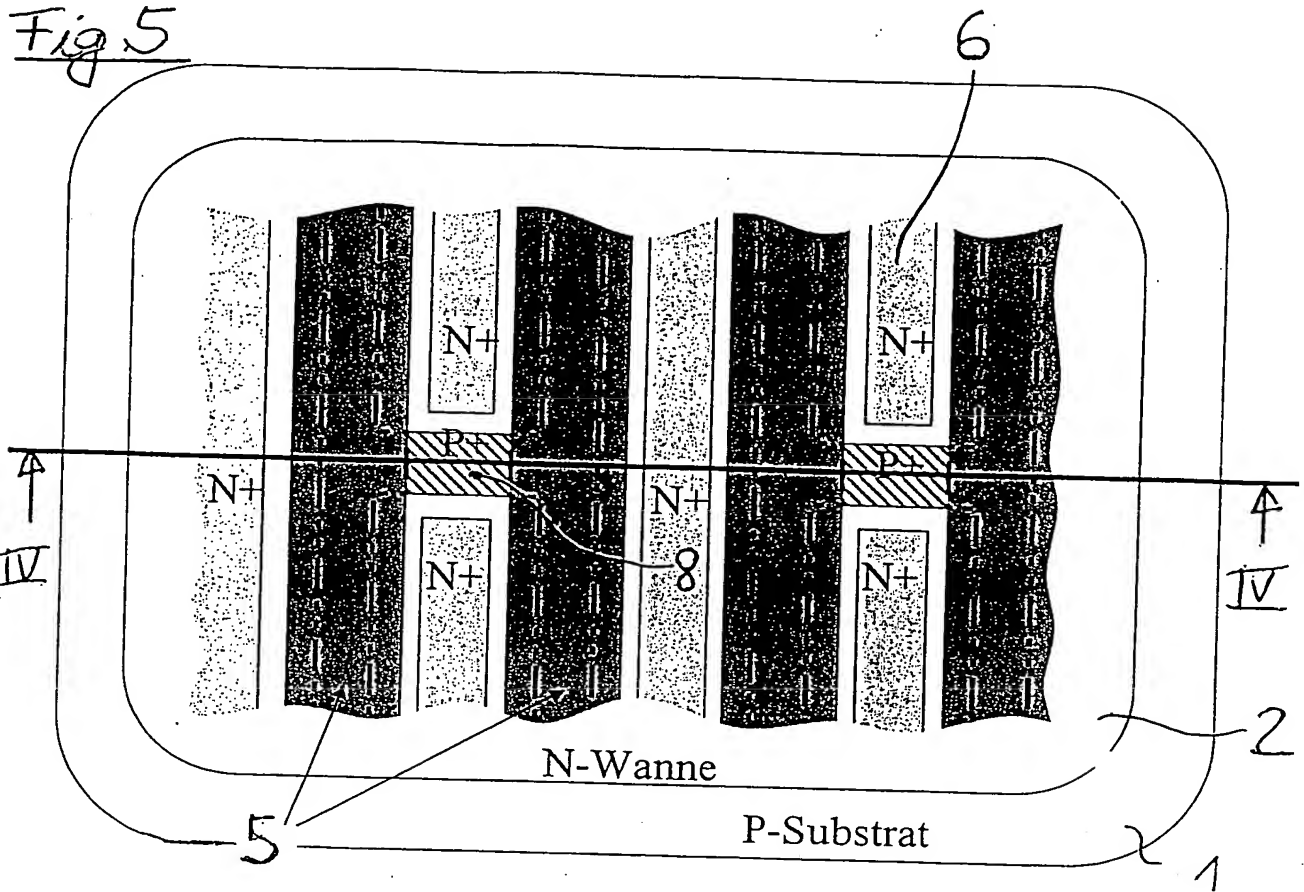
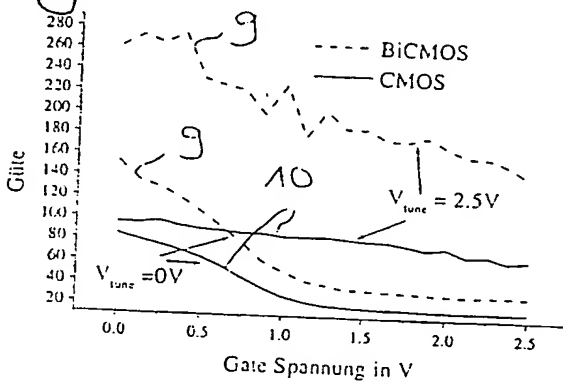


Fig. 6







Creation date: 01-20-2004  
Indexing Officer: EGEDLU - ESKINDER GEDLU  
Team: OIPEScanning  
Dossier: 10718776

Legal Date: 12-19-2003

No.	Doccode	Number of pages
1	PA..	1 //
2	FRPR	19 //

Total number of pages: 20

Remarks:

Order of re-scan issued on .....